

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/014208

International filing date: 03 August 2005 (03.08.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-237210
Filing date: 17 August 2004 (17.08.2004)

Date of receipt at the International Bureau: 15 September 2005 (15.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 8月17日

出願番号
Application Number: 特願2004-237210

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

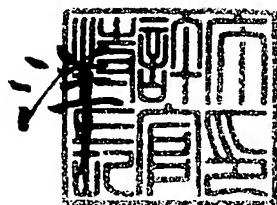
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

出願人
Applicant(s): ローム株式会社

2005年 8月31日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 PR4-00278
【提出日】 平成16年 8月17日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/768
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町21番地 ローム株式会社内
 【氏名】 山中 貴光
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100087701
 【弁理士】
 【氏名又は名称】 稲岡 耕作
【選任した代理人】
 【識別番号】 100101328
 【弁理士】
 【氏名又は名称】 川崎 実夫
【手数料の表示】
 【予納台帳番号】 011028
 【納付金額】 16,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0402732

【書類名】特許請求の範囲

【請求項 1】

半導体基板のチャネル領域に隣接してトレンチを形成する工程と、

このトレンチ内に酸化膜を埋め込む工程と、

前記チャネル領域を被覆し、前記トレンチ側に所定距離だけはみ出すとともに、前記トレンチ内の酸化膜において前記チャネル領域との境界近傍の領域を露出させる耐酸化性マスク膜を形成する工程と、

この耐酸化性マスク膜をマスクとした選択的熱酸化によって、前記トレンチから前記チャネル領域側に延びるバーズピークを成長させる選択的熱酸化工程と、

この選択的熱酸化工程の後に、前記チャネル領域にゲート酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記耐酸化性マスク膜を形成する工程は、前記耐酸化性マスク膜を、前記チャネル領域を挟んで対向する一対の領域を露出させるパターンに形成する工程を含み、

前記選択的熱酸化工程は、前記一対の領域にLOCOS酸化膜を成長させる工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】

前記トレンチを形成する工程は、前記チャネル領域を挟んで対向する一対の領域にトレンチを形成する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 4】

前記選択的熱酸化工程に先だって、前記一対の領域に不純物イオンを注入する工程を含み、

前記選択的熱酸化工程において前記半導体基板に付与される熱によって、前記一対の領域の半導体基板内部において不純物イオンを熱拡散させ、前記チャネル領域を挟んで対向する一対のドリフト層を形成する工程をさらに含むことを特徴とする請求項2または3記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置の製造方法

【技術分野】

【0001】

この発明は、チャネル領域に隣接して、酸化シリコンが埋め込まれたトレンチを有する半導体装置の製造方法に関する。

【背景技術】

【0002】

トランジスタの耐圧を高めるための構造の一つにドリフト・ドレイン構造がある。ドリフト・ドレイン構造とは、ゲート絶縁膜の縁部に厚い酸化膜を形成し、この厚い酸化膜上にゲート電極のエッジ部を配置した構造をいう。この構造により、ゲート電極のエッジ部における電界の集中が緩和されるので、トランジスタの高耐圧化が可能になる。

図7は、ドリフト・ドレイン構造のトランジスタを有する半導体装置の構成を説明するための図解的な断面図であり、図8は、その図解的な平面図である。半導体基板1上には、チャネル領域2を挟んで一対のドリフト層3が形成されている。このドリフト層3の表面部分には、チャネル領域2に隣接する浅いトレンチ4が形成されており、このトレンチ4内には酸化シリコン5が埋め込まれている。チャネル領域2の表面には、ゲート酸化膜6が形成されている。このゲート酸化膜6上にはゲート電極7（図8において二点鎖線で示す。）が形成されており、このゲート電極7のエッジ部は、酸化シリコン5の上方にまで達している。この構造により、ゲート電極7のエッジ部における電界の集中を緩和できる。

【0003】

トレンチ4は、図8に示すように、チャネル領域4の幅方向wの両側にも形成されており、半導体基板1上に形成された他の素子との分離構造を形成している（いわゆるシャロウ・トレンチ・アイソレーション）。

図9は、前記の半導体装置の製造工程を示す図解的な断面図であり、トレンチ4の部分が拡大して示されている。トレンチ4は、図9(a)に示すように、窒化シリコン膜11をハードマスクとして用いた反応性イオンエッティング(RIE)によって半導体基板1をエッティングすることによって形成される。その後、図9(b)に示すように、CVD(化学的気相成長)法によって、全面に酸化シリコン膜12が形成される。次いで、CMP(化学的機械的研磨)法によって、図9(c)に示すように、窒化シリコン膜11が露出するまで平坦化処理が行われ、酸化シリコン5がトレンチ4に埋め込まれた状態となる。

【0004】

次いで、図9(d)に示すように、窒化シリコン膜11が除去される。その後は、ドリフト領域3の形成のための拡散工程などが実行されるが、その都度、半導体基板1は、ふつ酸を用いた洗浄(ライトエッティング)処理を受ける。そのため、酸化シリコン膜12の膜減りが起こるのであるが、この膜減りは、酸化シリコン5の角部5aにおいて顕著に進行する。そのため、ゲート酸化膜6が形成されるまでには、図9(e)に示すように、酸化シリコン5の角部はトレンチ4の縁部よりも内方に後退してしまい、チャネル領域2との境界部に窪み(ディポット)13(図8において太線で示す。)が形成されることになる。

【0005】

この状態で、図9(f)に示すように、ゲート酸化膜6が形成され、さらに、チャネル領域2からトレンチ4の上方に至る領域にゲート電極7が形成されることになる。

したがって、ゲート酸化膜6は、トレンチ4との境界部、すなわち、チャネル領域4のエッジ部に、他の部分よりも膜厚の薄い薄膜部6aを有することになる。この薄膜部6aが、ゲート酸化膜耐圧の低下や、トランジスタ静特性不良(しきい値が不安定となるハング現象など)の原因となっていた。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、この発明の目的は、チャネル領域とトレンチとの境界部においてゲート酸化膜が薄膜化することを防止して、ゲート酸化膜耐圧を向上でき、半導体装置の特性を向上することができる半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0007】

上記の目的を達成するための請求項1記載の発明は、半導体基板(40)のチャネル領域(77)に隣接してトレンチ(74)を形成する工程と、このトレンチ内に酸化膜(75)を埋め込む工程と、前記チャネル領域を被覆し、前記トレンチ側に所定距離(Δ)だけはみ出すとともに、前記トレンチ内の酸化膜において前記チャネル領域との境界近傍の領域を露出させる耐酸化性マスク膜(43)を形成する工程と、この耐酸化性マスク膜をマスクとした選択的熱酸化によって、前記トレンチから前記チャネル領域側に延びるバーズピーク(94)を成長させる選択的熱酸化工程と、この選択的熱酸化工程の後に、前記チャネル領域にゲート酸化膜(80)を形成する工程とを含むことを特徴とする半導体装置の製造方法である。なお、括弧内の英数字は後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

【0008】

この方法によれば、ゲート酸化膜を形成するよりも前に、チャネル領域側に所定距離だけはみ出すとともに、チャネル領域とトレンチとの間の境界部近傍を露出させる耐酸化性マスク膜をマスクとした選択的熱酸化が行われる。これにより、トレンチ内部の酸化膜からチャネル領域へとバーズピークが延び、トレンチとチャネル領域の境界部における酸化膜の窪みを解消することができる。したがって、その後に、ゲート酸化膜を形成することにより、前記窪みに起因する薄膜部のない均一な膜厚のゲート酸化膜を形成することができる。その結果、ゲート酸化膜耐圧を向上でき、半導体装置の特性を向上することができる。

【0009】

前記バーズピークは、その根元部における膜厚(t)が前記ゲート酸化膜の膜厚にほぼ等しくなるように形成されることが好ましい。

請求項2記載の発明は、前記耐酸化性マスク膜を形成する工程は、前記耐酸化性マスク膜を、前記チャネル領域を挟んで対向する一対の領域(91, 92)を露出させるパターンに形成する工程を含み、前記選択的熱酸化工程は、前記一対の領域にLOCOS酸化膜(84, 85)を成長させる工程を含むことを特徴とする請求項1記載の半導体装置の製造方法である。

【0010】

この方法によれば、チャネル領域を挟んで対向する一対の領域にLOCOS酸化膜を選択成長させる工程を利用して、前記のバーズピークを成長させることができる。すなわち、前記窪みに起因するゲート酸化膜の薄膜部の発生を防止するために特別な工程を行う必要がない。

請求項3記載の発明は、前記トレンチを形成する工程は、前記チャネル領域を挟んで対向する一対の領域にトレンチを形成する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法である。

【0011】

この方法の場合、前記一対の領域側にそれぞれ所定距離だけはみ出すとともに、この一対の領域のトレンチ内の酸化膜において前記チャネル領域との境界近傍の領域を露出させるように耐酸化性マスク膜を形成しておくことにより、前記一対の領域のトレンチ内の酸化膜の窪みをバーズピークによって解消できる。

請求項4記載の発明は、前記選択的熱酸化工程に先だって、前記一対の領域に不純物イオンを注入する工程を含み、前記選択的熱酸化工程において前記半導体基板に付与される熱によって、前記一対の領域の半導体基板内部において不純物イオンを熱拡散させ、前記チャネル領域を挟んで対向する一対のドリフト層(78, 79)を形成する工程をさらに含むことを特徴とする請求項2または3記載の半導体装置の製造方法である。

【0018】

ドリフト層78, 79の表面には、厚いLOCOS酸化膜84, 85（たとえば、膜厚2800Å程度）がそれぞれ形成されている。ゲート電極81は、チャネル領域77上からLOCOS酸化膜84, 85のチャネル領域77側縁部に至る領域に形成されている。これにより、ゲート電極81の端部81aは、ゲート酸化膜80よりも厚いLOCOS酸化膜84, 85上に位置しており、電界の集中を防いで高耐圧を実現するドリフト・ドレイン構造が形成されている。

【0019】

LOCOS酸化膜84, 85には、ドリフト層78, 79にソース電極およびドレイン電極をそれぞれ接合するためのコンタクト孔86, 87が形成されている。これらのコンタクト孔86, 87の直下の領域には、ドリフト層78, 79と同じ導電型でそれらよりも高濃度に不純物を含むソースコンタクト層78aおよびドレインコンタクト層79aがそれぞれ形成されている。図示は省略するが、さらに、上述の層間絶縁膜が、ゲート電極81上およびLOCOS酸化膜84, 85を覆うように形成されている。この層間絶縁膜には、ソース電極およびドレイン電極のためのコンタクト孔がそれぞれ形成されており、これらはLOCOS酸化膜84, 85に形成されたコンタクト孔86, 87に連通している。

【0020】

ドリフト層78, 79は、LOCOS酸化膜84, 85の下方を回り込んでチャネル領域77へと進入している。LOCOS酸化膜84, 85のチャネル領域77側の縁部からチャネル領域77の内方へのドリフト層78, 79の進入距離X1, X2は、後述の製造方法の適用によって、ばらつきを抑制して、精度よく制御される。

第2領域70内に形成されている複数の高耐圧トランジスタ71は、いずれもNチャンネル型トランジスタ（P型ウェル内にN型ドリフト層を形成したもの）であってもよいし、いずれもPチャンネル型トランジスタ（N型ウェル内にP型ドリフト層を形成したもの）であってもよく、Nチャンネル型トランジスタおよびPチャンネル型トランジスタの両方を含んでいてもよい。

【0021】

高耐圧トランジスタ71は、低耐圧トランジスタ51よりも耐圧の高いトランジスタである。たとえば、高耐圧トランジスタ71の耐圧は、40V程度であるのに対して、低耐圧トランジスタ51の耐圧は、1.8V程度である。また、低耐圧トランジスタ51は、高耐圧トランジスタ71よりも微細な構造であり、高耐圧トランジスタ71の素子サイズ（素子形成領域73の大きさ）は20μmのオーダーであるのに対して、低耐圧トランジスタ51の素子サイズ（素子形成領域53の大きさ）は1μmのオーダーとなっている。

【0022】

この実施形態の半導体装置では、素子形成領域53, 73の分離をSTI部52, 72によって行っているので、LOCOS法による素子分離の場合に比較して、素子分離のために占有される領域（素子分離領域）を小さくすることができます。これにより、とくに、低耐圧領域である第1領域50において微細構造の低耐圧トランジスタ51を高密度に形成することができる。その一方で、高耐圧領域である第2領域70においては、ドリフト・ドレイン構造のための厚い酸化膜は、LOCOS酸化膜84, 85で形成されている。これにより、この厚い酸化膜をSTI構造で形成する場合における電界集中の問題を克服することができ、高耐圧トランジスタ71の耐圧を向上することができる。

【0023】

図2A～2Lは、前記の半導体装置の製造方法を工程順に示す断面図である。まず、図2Aに示すように、STI部52, 72を形成したシリコン基板40が作製される。具体的には、シリコン基板40の表面の第1および第2領域50, 70に、たとえば反応性イオンエッティングによってトレンチ54, 74（深さ4000Å程度）を形成し、さらに、全面に酸化シリコン膜（HDP：高密度プラズマ酸化膜）が形成される。その後、CMP（化学的機械的研磨）法によって表面を平坦化し、トレンチ54, 74外の酸化シリコン

膜を除去することにより、トレンチ54、74内に酸化シリコン55、75が埋め込まれた構造のSTI部52、72が得られる。

【0024】

この状態から、第2領域70のウェル76を形成すべき領域に開口を有するレジスト膜41でシリコン基板40の表面を覆い、このレジスト膜41をマスクとしてウェル76の形成のための不純物イオンが注入される。この不純物イオンは、ウェル76をP型とする場合であれば、たとえばホウ素イオンであり、ウェル76をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第1領域50はレジスト膜41で覆われているので、この第1領域50には不純物イオンは導入されない。

【0025】

次に、図2Bに示すように、レジスト膜41を剥離し、熱酸化法によって、シリコン基板40の表面全面にパット酸化膜42が形成される。この際にシリコン基板40に与えられる熱を利用して、シリコン基板40に注入された不純物イオンの熱拡散（ドライブ）が行われ、シリコン基板40内にウェル76が形成される。

続いて、図2Cに示すように、CVD（化学的気相成長）法によって、パット酸化膜42の全面を被覆する窒化シリコン膜43（たとえば、膜厚300Å程度）が形成される。次いで、図2Dに示すように、窒化シリコン膜43の表面にレジスト膜44のパターンが形成される。このレジスト膜44は、図1の構造におけるLOCOS酸化膜84、85に対応するレジスト開口44a（チャネル領域77を挟んで対向する一対の領域に形成されるレジスト開口）を有し、残余の部分を被覆するものである。すなわち、レジスト膜44は、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86、87に対応する領域を被覆している。このレジスト膜44をマスクとして、ドリフト層78、79を形成するための不純物イオンが注入される。この不純物イオンは、ウェル76とは反対の導電型の不純物イオンであり、ドリフト層78をN型とする場合であれば、たとえばリンイオンが用いられ、ドリフト層78、79をP型とする場合であれば、たとえばホウ素イオンである。不純物イオンの注入エネルギーは、イオン投影飛程がSTI部72の厚さよりも小さくなるように設定される。

【0026】

この後、図2Eに示すように、レジスト膜44をマスクとして、ドライエッチングである反応性イオンエッチング（RIE：Reactive Ion Etching）が行われ、後に耐酸化性マスク膜として用いられる窒化シリコン膜43がバーニングされる。すなわち、この窒化シリコン膜43は、レジスト膜44と同様、第1領域50全体を被覆し、第2領域70のチャネル領域77に対応する領域を被覆し、コンタクト孔86、87に対応する領域を被覆している。この窒化シリコン膜43は、レジスト膜44によってバーニングされるので、このレジスト膜44のレジスト開口44aと整合するマスク開口43aを有することになり、このマスク開口43aは、チャネル領域77を挟んで対向する一対の領域に形成される。

【0027】

次に、図2Fに示すように、窒化シリコン膜43を耐酸化性マスクとした熱酸化（LOCOS法）が行われる。これにより、第2領域70内において、チャネル領域77を挟んで対向する領域（ドリフト層78、79の領域）にLOCOS酸化膜84、85が形成されるとともに、注入されたイオンの熱拡散（ドライブ）が生じることにより、チャネル領域77を挟んで対向するドリフト層78、79が形成されることになる。

【0028】

LOCOS酸化膜84、85は、2800Å程度の膜厚を有している。また、ドリフト層78、79は、LOCOS酸化膜84、85のチャネル領域77側エッジ部よりも、チャネル領域77の内方に進入距離X1、X2だけ入り込んだ状態となる。図2Dおよび図2Eを参照して説明したとおり、ドリフト層78、79の形成のためのイオン注入時に使用されるマスクとしてのレジスト膜44は、LOCOS酸化膜84、85の形成時の耐酸化性マスクとしての窒化シリコン膜43のバーニングのためにも利用されている。した

がって、ドリフト層78, 79およびLOCOS酸化膜84, 85は、自己整合的に形成されることになる。その結果、上記の進入距離X1, X2は、熱による拡散距離で決定されることになり、高精度に制御されるから、複数の高耐圧トランジスタ71間でのばらつきはもちろんのこと、複数の半導体装置間でのばらつきを抑制できる。これにより、耐圧のはらつきを大幅に低減することができる。

【0029】

図2Fに示すように、LOCOS酸化膜84, 85を形成するための熱酸化処理によって、窒化シリコン膜43の表面には、酸化皮膜（薄い酸化膜）45（たとえば膜厚150Å程度）が形成され、この酸化皮膜45の分だけ窒化シリコン膜43の膜厚が減少する（たとえば150Å程度となる）。LOCOS酸化膜84, 85の形成時に十分な膜厚の酸化皮膜45が窒化シリコン膜43上に成長しない場合には、たとえば、CVD法によって、窒化シリコン膜43を被覆する酸化皮膜45を成長させる工程を行ってもよい。

【0030】

次に、図2Gに示すように、チャネル領域77（LOCOS酸化膜84, 85の間の領域）を露出させるとともに、シリコン基板40上の残余の部分を被覆するパターンのレジスト膜46が形成される。そして、このレジスト膜46をマスクとして、ふっ酸液によるウェットエッティングが行われる。これにより、レジスト膜46から露出している領域において、窒化シリコン膜43の表面の酸化皮膜45がエッティング除去される。窒化シリコン膜43は、ふっ酸液によるエッティングレートが酸化シリコンに比較して十分に低いので、シリコン基板40上に残留する。

【0031】

次いで、図2Hに示すように、レジスト膜46を剥離した後、熱リン酸液（室温よりも高温のリン酸液）によるエッティングを行う。具体的には、たとえば、150°Cのリン酸液中に約60分間シリコン基板40を浸漬する。これにより、表面に酸化皮膜45が形成されていない領域において、窒化シリコン膜43が剥離される。すなわち、LOCOS酸化膜84, 85の領域の窒化シリコン膜43が選択的に剥離されることになる。このとき、酸化シリコンは熱リン酸液によるエッティングレートが低いので、ほぼそのままシリコン基板40上に残留する。こうして、第1領域50を窒化シリコン膜43で被覆（さらに、第2領域70内のチャネル領域77以外の領域を被覆）した状態で、チャネル領域77においてのみ、窒化シリコン膜43を選択的に除去することができる。熱リン酸液によるエッティングにおける窒化シリコン膜43のバッド酸化膜42（下地膜）に対する選択比は100以上であり、エッティング時間設計におけるマージンを大きくとることができる。

【0032】

この後、ふっ酸液によっエッティングを行うことにより、チャネル領域77の表面のバッド酸化膜42を除去して、シリコン基板40の表面を露出させることができる。

この状態から、熱酸化処理が行われ、図2Iに示すように、チャネル領域77にゲート酸化膜80（たとえば、膜厚1000Å）が成長させられる。このとき、チャネル領域77以外の領域では、窒化シリコン膜43で覆われているので、この窒化シリコン膜43上に若干の酸化膜が成長するものの、シリコン基板40の表面における酸化膜の成長は生じない。

【0033】

このように、第2領域70のチャネル領域77上の窒化シリコン膜43の選択除去は、ふっ酸液とリン酸液とを用いたウェットエッティング工程によって行われ、反応性イオンエッティングのようなドライエッティング工程を必要としない。そのため、チャネル領域77のシリコン基板40の表面にプラズマによるダメージが与えられることがないので、良好な膜質のゲート酸化膜80を形成することができるとともに、キャリヤが移動するチャネル領域77の表層部におけるシリコン基板40の結晶状態を良好な状態に保持できる。反応性イオンエッティング工程によって窒化シリコン膜43にマスク開口43aを開口する図2Eの工程では、LOCOS酸化膜84, 85が形成される領域が開口されるので、このときにシリコン基板40の表面に与えられるダメージが素子特性に影響することはない。

【0034】

さらに、第1および第2領域50、70の両方に、第2領域70に対応した厚いゲート酸化膜を形成し、第1領域50側の当該厚いゲート酸化膜を選択的に除去した後に、この第1領域50側に選択的に薄いゲート酸化膜を形成するような工程をとる場合と比較すると、第1および第2領域50、70の間に顕著な段差が生じることを防止できるという利点がある。すなわち、第1領域50に対応したゲート酸化膜60、第2領域70に対応したゲート酸化膜80、およびLOCOS酸化膜84、85の3種類の膜厚の酸化シリコン膜を、顕著な段差を生じさせることなく形成することができる。これにより、その後のリソグラフィ工程におけるフォーカスマージンの低下を抑制できる。

【0035】

次に、図2Iの工程に続いて、図2Jに示すように、シリコン基板40上の全部の窒化シリコン膜43が剥離される。具体的には、ふっ酸液によって窒化シリコン膜43の表面の酸化皮膜45をエッティングした後、熱リン酸液によって、窒化シリコン膜43が除去される。窒化シリコン膜43の表面の薄い酸化膜のエッティングによって、ゲート酸化膜80の若干の膜減りが生じるが、このときのエッティングはシリコン窒化膜43の表面の薄い酸化膜を除去するだけであるので、ゲート酸化膜80は、単に表層部分がエッティングされるだけであり、問題とはならない。

【0036】

次に、図2Kに示すように、第2領域70の全体を被覆するとともに、第1領域50においてウェル56に対応する領域においてシリコン基板40の表面を露出させるレジスト膜47が形成される。このレジスト膜47をマスクとしてウェル56の形成のための不純物イオンが注入される。この不純物イオンは、ウェル56をP型とする場合であれば、たとえばホウ素イオンであり、ウェル56をN型とする場合であれば、たとえばリンイオンである。このイオン注入の際、第2領域70はレジスト膜47で覆われているので、この第2領域70には不純物イオンは導入されない。

【0037】

続いて、図2Lに示すように、レジスト膜47をマスクとして、ふっ酸液によるウェットエッティングを行い、第1領域50（とくにウェル56の領域）におけるシリコン基板40の表面のバッド酸化膜42が除去される。

そして、図2Mに示すように、熱酸化法によって、ウェル56の領域にゲート酸化膜60が形成される。このゲート酸化膜60の膜厚は、たとえば32Åである。このゲート酸化膜60を形成すべき領域におけるシリコン基板40の表面は、第2領域70にLOCOS酸化膜84を形成する工程においても、また、第2領域70においてゲート酸化膜80を形成する工程においても、終始、窒化シリコン膜43によって保護されている。そのため、第1領域50に形成されるゲート酸化膜60は、LOCOS酸化膜84、85や第2領域70におけるゲート酸化膜80の形成工程の影響を受けることなく、それらの厚い酸化膜を第1領域50のような微細パターン上に形成したときに生じる応力によってシリコン基板40に結晶欠陥が導入されることと、それによってリーク電流が増大することを回避できる。

【0038】

次いで、図2Nに示すように、低耐圧トランジスタ51のゲート電極61および高耐圧トランジスタ71のゲート電極81が形成される。これらは、たとえばポリシリコン膜からなっていてもよい。具体的には、ポリシリコン膜をシリコン基板40の全面に被着形成した後、これをエッティングしてゲート電極61、81を形成すればよい。ゲート電極81は、そのエッジ部がLOCOS酸化膜84、85上に位置するパターンに形成される。

【0039】

その後、ソースおよびドレインの形成のためのイオン注入が行われることにより、低耐圧トランジスタ51のソース拡散層58およびドレイン拡散層59がゲート電極61を挟んで対向する領域に形成され、さらに、ドリフト層78、79のLOCOS酸化膜84、85のほぼ中央の開口部の直下にソースコンタクト層78aおよびドレインコンタクト層

79aがそれぞれ形成される。こうして、図1に示す構造の半導体装置が得られる。

【0040】

図3は、高耐圧トランジスタ71の近傍の平面図であり、図2Eの工程における構成が示されている。図2Eには、図3の切断面線II-IIに相当する断面構造が示されている。また、図4Aは、図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

反応性イオンエッティングによってバターニングされた状態の窒化シリコン膜43(図3において斜線を付して示す。)は、STI部72によって区画されるチャネル領域77の幅方向Wに関して、チャネル領域77からSTI部72側に微小距離 Δ (たとえば、0.1~0.2μm)だけはみ出したパターンに形成される。チャネル領域77の長さ方向(一对のドリフト層78, 79の対向方向)に関しては、チャネル領域77上の窒化シリコン膜43は、所望のチャネル長に対応した長さとされる。このチャネル領域77の両側では、STI部72および窒化シリコン膜43によって取り囲まれた一对の矩形領域91, 92において、シリコン基板40の表面が露出することになる。この一对の矩形領域91, 92のほぼ中央には、コンタクト孔86, 87に対応した領域に窒化シリコン膜43が形成されている。

【0041】

STI部72の上側縁部72a(チャネル領域77の縁部)には、不純物拡散工程(図2Bの工程など)前にその都度行われる洗浄処理(ふっ酸液によるライトエッティングなど)などに起因して、図4Aに示すような窪み(ディボット)93が生じている。この窪み93を残したままでゲート酸化膜80を形成すると、この窪み93の部分において、ゲート酸化膜80には顕著な薄膜部が生じる。この薄膜部は、リークの原因となり、ゲート酸化膜耐圧の低下を招く。また、この薄膜部は、部分的に低しきい値の領域を形成することになるから、高耐圧トランジスタ71の静特性の悪化(しきい値が不安定になるなど)を招く。

【0042】

この実施形態では、図4Bに示すように、ゲート酸化膜80を形成する工程より前に窪み93を取り除くために、LOCOS酸化膜84, 85を形成する熱酸化工程(ドリフト層78, 79を形成する熱拡散工程)において、STI部72からチャネル領域77へと延びるバーズピーク94が成長させられる。すなわち、前述のとおり、窒化シリコン膜43は、チャネル領域77の幅方向に関して微小距離 Δ だけSTI部72側にはみ出しているとともに、STI部72とチャネル領域77との近傍の領域を露出させるパターンに形成されているので、酸素雰囲気中での加熱により、STI部72の露出部において酸化膜が成長し、バーズピーク94が窒化シリコン膜43の下方へと潜り込んでチャネル領域77へと進入する。これにより、窪み93が取り除かれる。

【0043】

微小距離 Δ は、前記熱酸化工程によって成長するバーズピーク94の根元部の膜厚 t が、ゲート酸化膜80の所望の膜厚(たとえば1000Å)とほぼ等しくなるように定められる。より好ましくは、膜厚 t は、ゲート酸化膜80の所望の膜厚とバッド酸化膜42(後にふっ酸液によりエッティングされる。)の膜厚との和にほぼ等しく定められるとよい。

ゲート酸化膜80を形成するための熱酸化工程では、図4Cに示すように、チャネル領域77のシリコン基板40の表面に成長するゲート酸化膜80とバーズピーク94とが接続し、チャネル領域77には、その中央領域からエッジ部に至る各部で均一な膜厚のゲート酸化膜80が形成されることになる。

【0044】

図5は、高耐圧トランジスタ71におけるゲート酸化膜耐圧を示す図であり、ゲート電圧 V_g (ゲート電極81に印加される電圧)とゲートリーク電流 I_g との関係が示されている。二点鎖線は、窪み93を取り除く対策をしなかった場合のゲート酸化膜耐圧特性を示し、実線は、窪み93を取り除く対策を施した場合のゲート酸化膜耐圧特性を示す。この図5から、窪み93を取り除く前述の対策を施すことによって、ゲート耐圧を明らかに

向上できることが理解される。これは、窪み93を取り除く対策をしなかった場合に、ゲート酸化膜に薄膜部が生じ、この薄膜部に電界が集中して耐圧の劣化を招くのに対して、窪み93を取り除いてゲート酸化膜80の膜厚を均一化した構成では、そのような電界の集中を抑制できるからである。

【0045】

図6は、高耐圧トランジスタ71の静特性を示す図であり、ゲート電圧 V_{GS} に対するドレイン電流 I_{DS} の変化が示されている。破線は、窪み93を取り除く対策をしなかった場合の特性を示し、実線は、窪み93を取り除く対策を施した場合の特性を示す。また、複数の特性曲線は、バックゲート電圧 BGV （シリコン基板40に印加する電圧）を0V, 2V, 4V, 6V, 8Vにそれぞれ設定した場合の特性を示す。

【0046】

この図6から、窪み93を取り除く対策を施さないと、複数のしきい値が現れる現象であるハングが生じ、その傾向はバックゲート電圧 BGV が高いほど顕著であることが分かる。ハングの原因是、ゲート酸化膜に窪み93に対応した薄膜部が生じ、この薄膜部において部分的な導通が生じることによる。窪み93を取り除いてゲート酸化膜80の膜厚を均一化した構成では、そのような部分的な導通を抑制できるので、ハングを抑制できる。これにより、バックゲート電圧を高くしても、良好な静特性を実現できる。

【0047】

以上、この発明の一実施形態について説明したが、この発明は、他の形態でも実施することができる。たとえば、前記の実施形態では、ドリフト・ドレイン構造のためにゲート電極81のエッジ部に配置される厚い酸化膜がLOCOS酸化膜84, 85で形成される例について説明したが、この厚い酸化膜をSTI部によって形成する場合にも、この発明を適用することができる。すなわち、LOCOS酸化膜84, 85の形成位置にSTI部を配置し、このSTI部上にゲート電極81のエッジ部が位置すればよい。このとき、窒化シリコン膜43を当該STI部側に微小距離だけはみ出したバターンに形成した状態で、ゲート酸化膜80の形成よりも前に、熱酸化処理を行うことによって、STI部からチャネル領域77側へと延びるバーズピークを形成することができる。これにより、STI部の上側縁部における窪みを解消しておくことができる。

【0048】

その他、この発明の2つの実施形態について説明したが、この発明は、他の形態で実施することもでき、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【0049】

【図1】この発明の一実施形態に係る半導体装置の構成を説明するための図解的な断面図である。

【図2A】前記の半導体装置の製造工程を示す断面図である。

【図2B】図2Aの次の工程を示す断面図である。

【図2C】図2Bの次の工程を示す断面図である。

【図2D】図2Cの次の工程を示す断面図である。

【図2E】図2Dの次の工程を示す断面図である。

【図2F】図2Eの次の工程を示す断面図である。

【図2G】図2Fの次の工程を示す断面図である。

【図2H】図2Gの次の工程を示す断面図である。

【図2I】図2Hの次の工程を示す断面図である。

【図2J】図2Iの次の工程を示す断面図である。

【図2K】図2Jの次の工程を示す断面図である。

【図2L】図2Kの次の工程を示す断面図である。

【図2M】図2Lの次の工程を示す断面図である。

【図2N】図2Mの次の工程を示す断面図である。

【図3】高耐圧トランジスタの近傍の平面図であり、図2Eの工程における構成を示す。

【図4】図4Aは図3の切断面線IV-IVにおける断面図であり、図4Bは図2Fの工程に対応する同様の切断面を示し、図4Cは図2Iに対応する同様の切断面を示す。

【図5】高耐圧トランジスタにおけるゲート酸化膜耐圧を示す図であり、ゲート電圧 V_g とゲートリーク電流 I_g との関係が示されている。

【図6】高耐圧トランジスタの静特性を示す図であり、ゲート電圧 V_{gs} に対するドレイン電流 I_d の変化が示されている。

【図7】ドリフト・ドレイン構造のトランジスタを有する半導体装置の構成を説明するための図解的な断面図である。

【図8】図7の半導体装置の図解的な平面図である。

【図9】図7および図8の半導体装置の製造方法を説明するための図解的な断面図である。

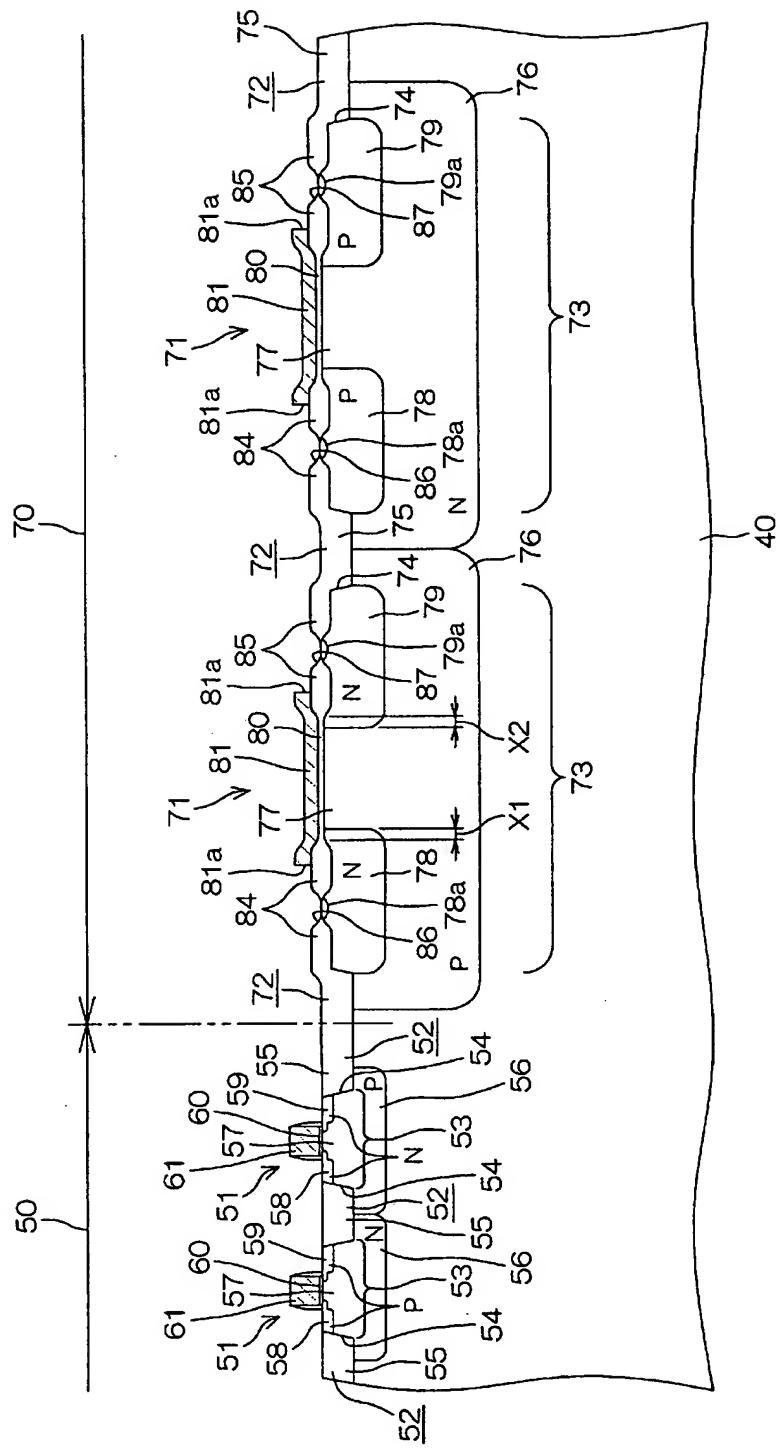
【符号の説明】

【0050】

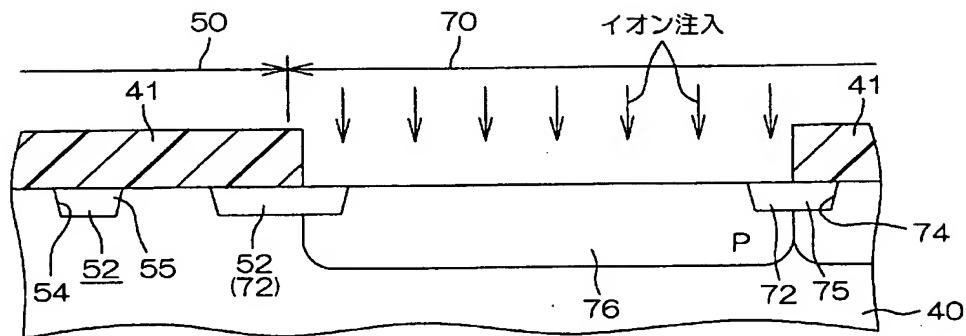
4 0	シリコン基板
4 1	レジスト膜
4 2	パッド酸化膜
4 3	窒化シリコン膜
4 3 a	マスク開口
4 4	レジスト膜
4 4 a	レジスト開口
4 5	酸化皮膜
4 6	レジスト膜
4 7	レジスト膜
5 0	第1領域
5 1	低耐圧トランジスタ
5 2	STI部
5 3	素子形成領域
5 4	トレンチ
5 5	酸化シリコン
5 6	ウェル
5 7	チャネル領域
5 8	ソース拡散層
5 9	ドレイン拡散層
6 0	ゲート酸化膜
6 1	ゲート電極
7 0	第2領域
7 1	高耐圧トランジスタ
7 2	STI部
7 2 a	STI部の上側縁部
7 3	素子形成領域
7 4	トレンチ
7 5	酸化シリコン
7 6	ウェル
7 7	チャネル領域
7 8	ソース側ドリフト層
7 8 a	ソースコンタクト層
7 9	ドレイン側ドリフト層
7 9 a	ドレインコンタクト層

8 0 ゲート酸化膜
8 1 ゲート電極
8 1 a ゲート電極の端部
8 4 , 8 5 L O C O S 酸化膜
8 6 , 8 7 コンタクト孔
9 3 窪み
9 4 パーズピーク
9 8 L O C O S 酸化膜

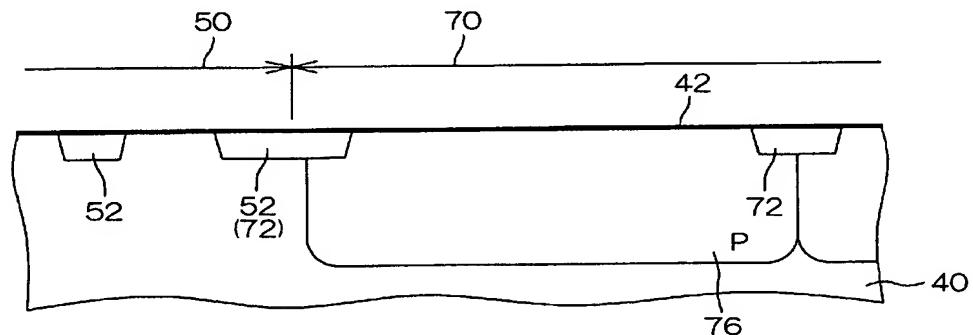
【書類名】 図面
【図 1】



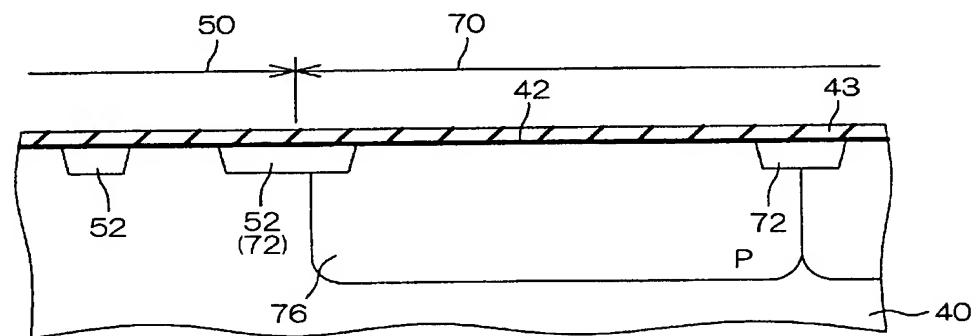
【図 2 A】



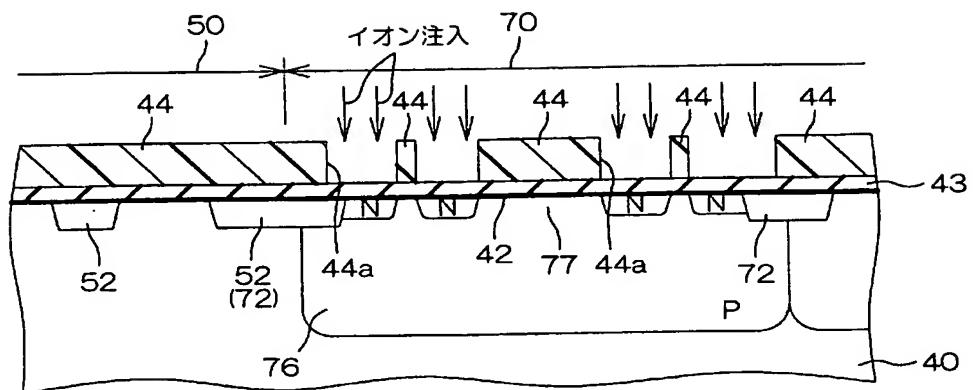
【図 2 B】



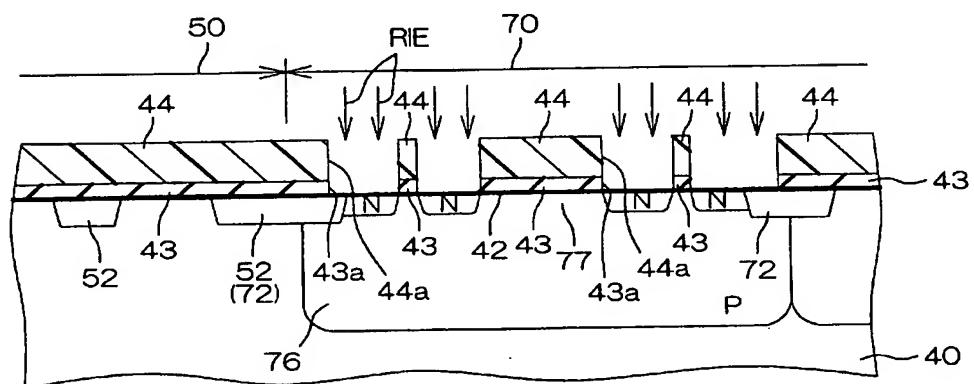
【図 2 C】



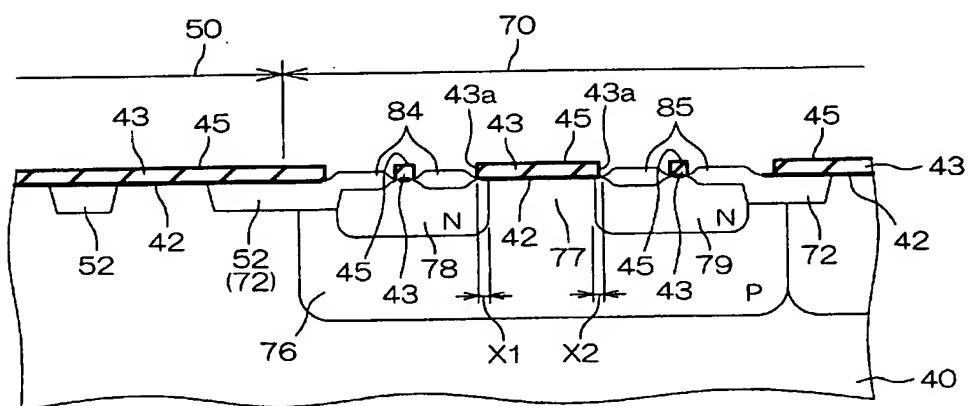
【図 2 D】



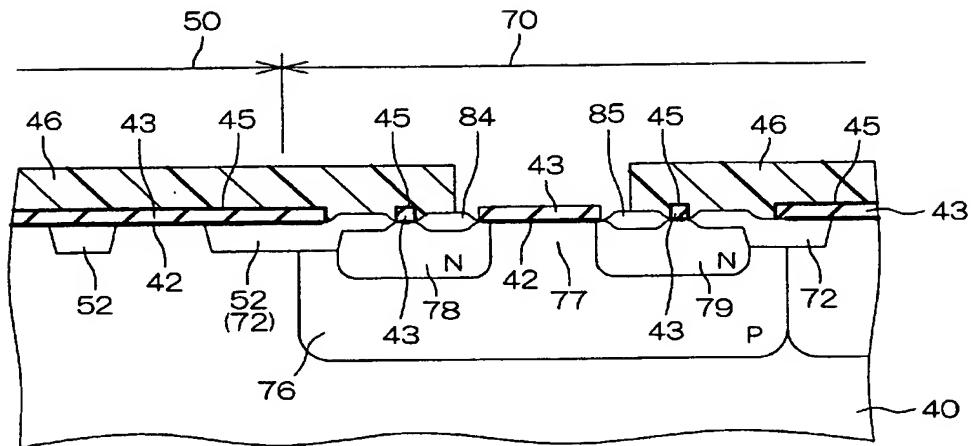
【図 2 E】



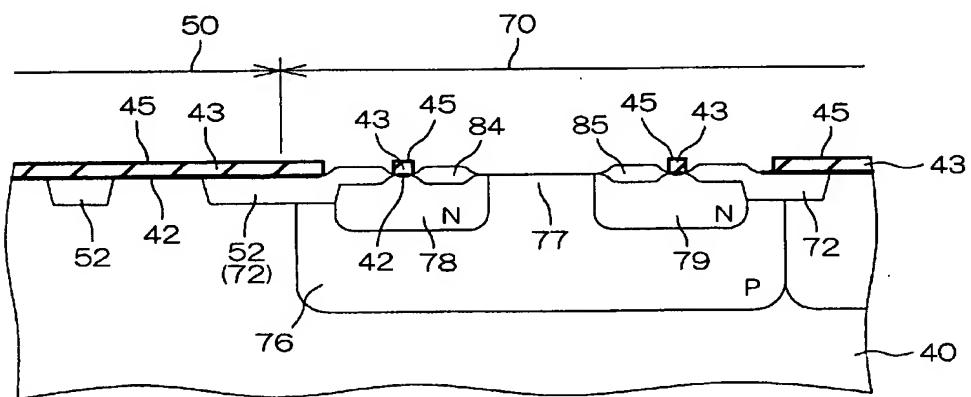
【図 2 F】



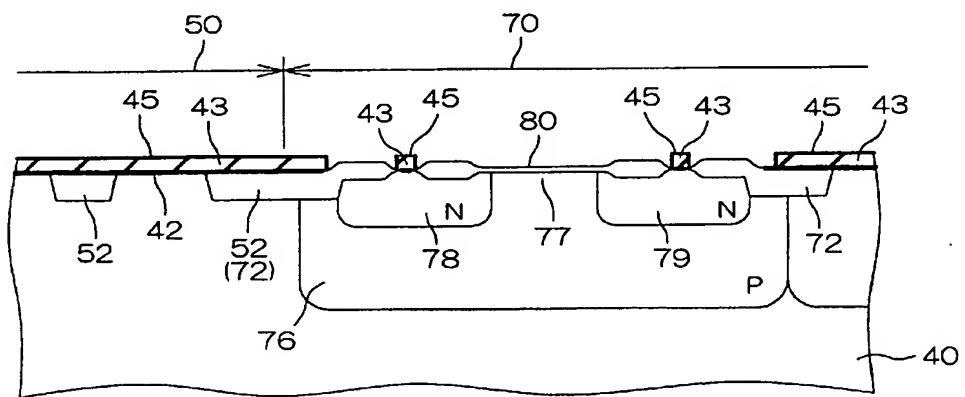
【図 2 G】



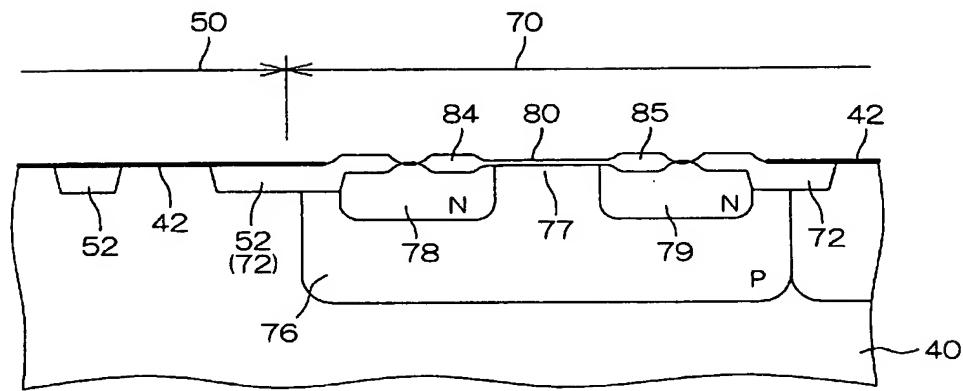
【図 2 H】



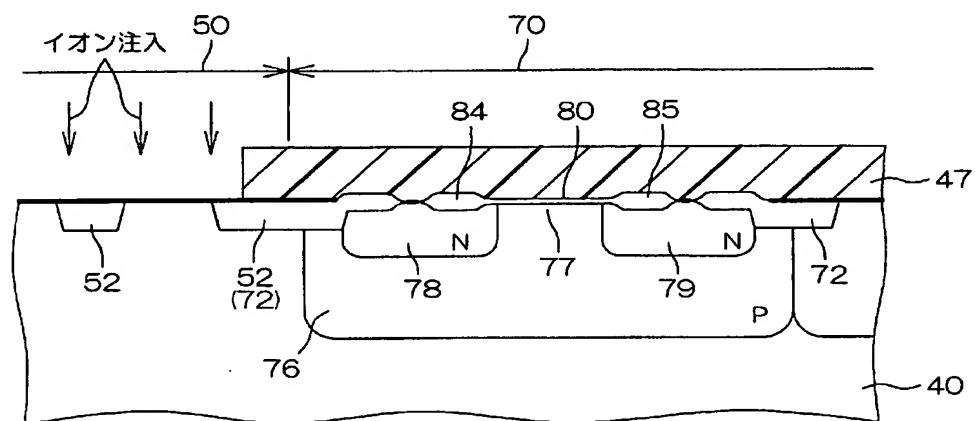
【図 2 I】



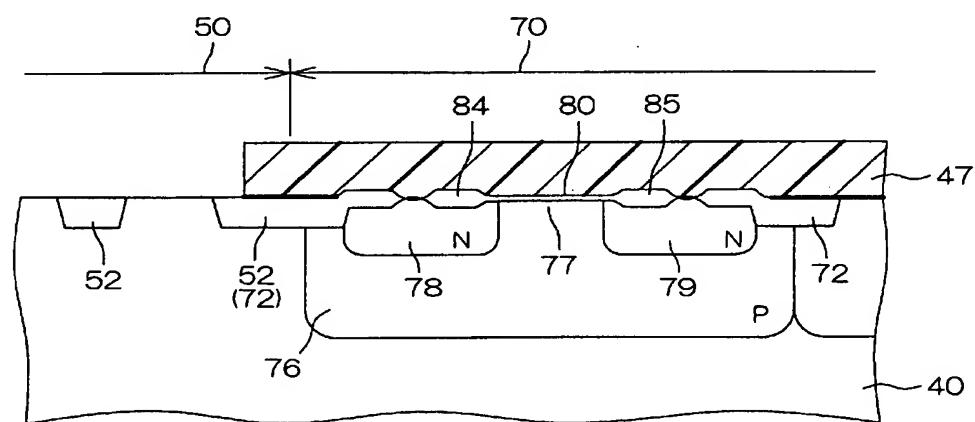
【図 2 J】



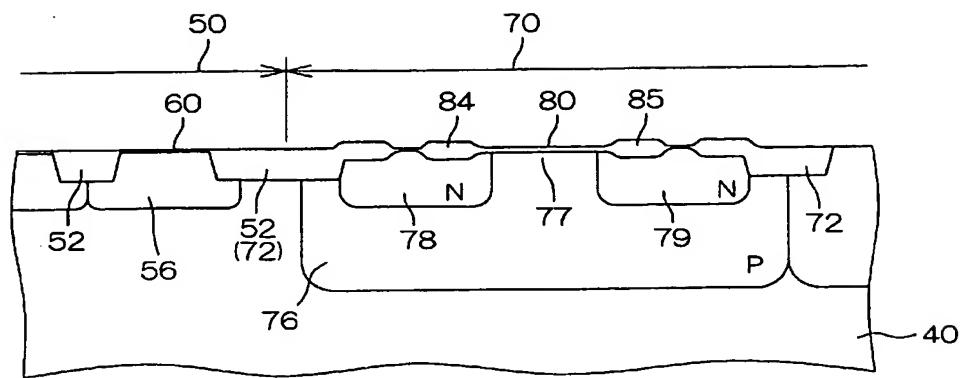
【図 2 K】



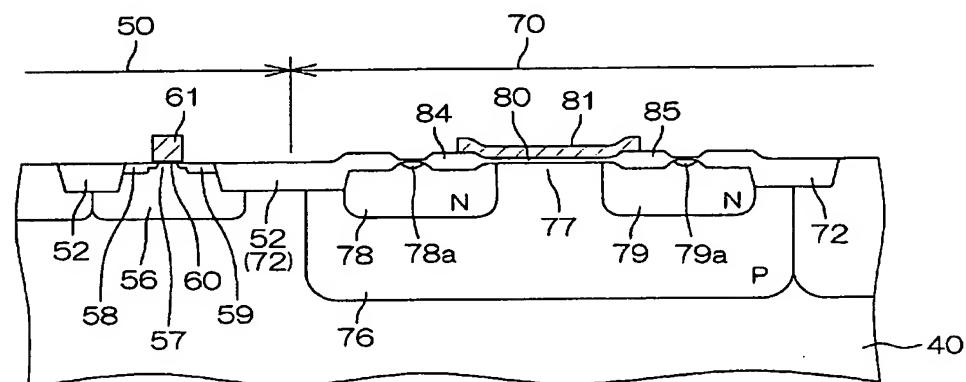
【図 2 L】



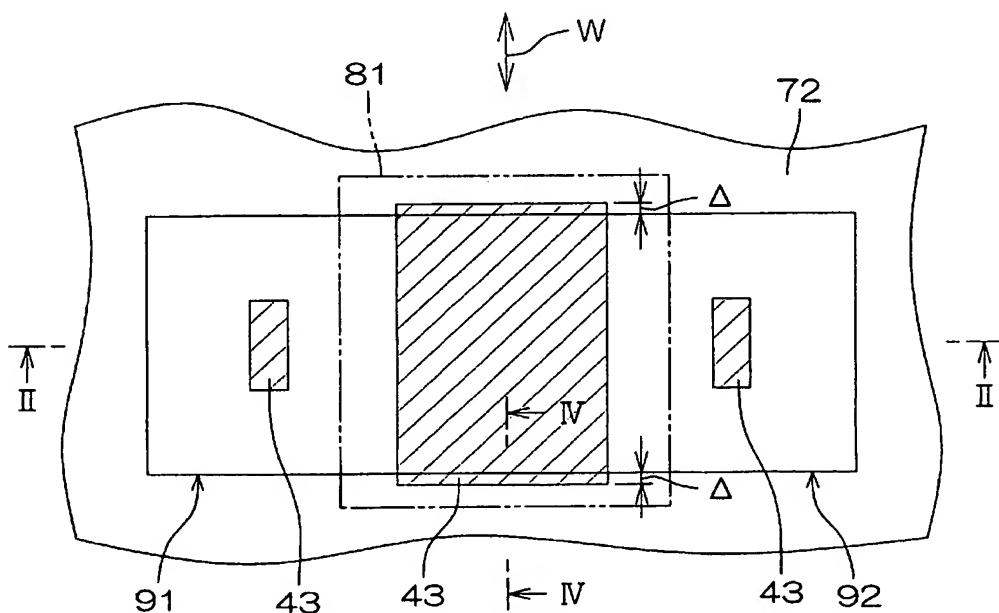
【図 2 M】



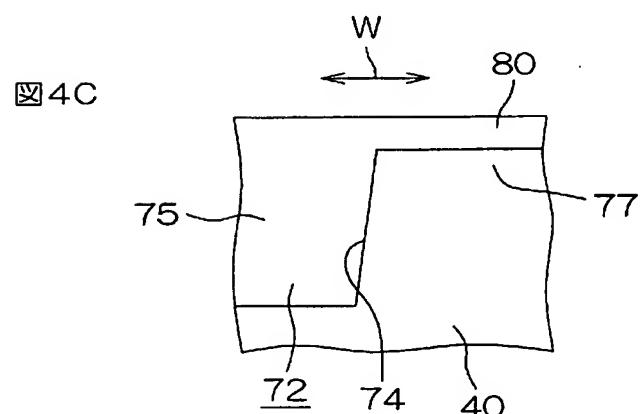
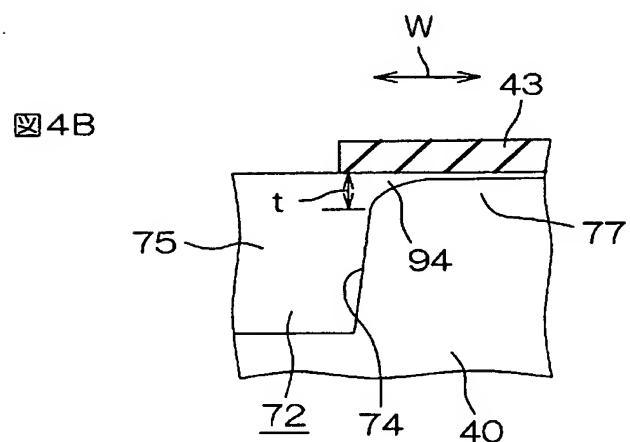
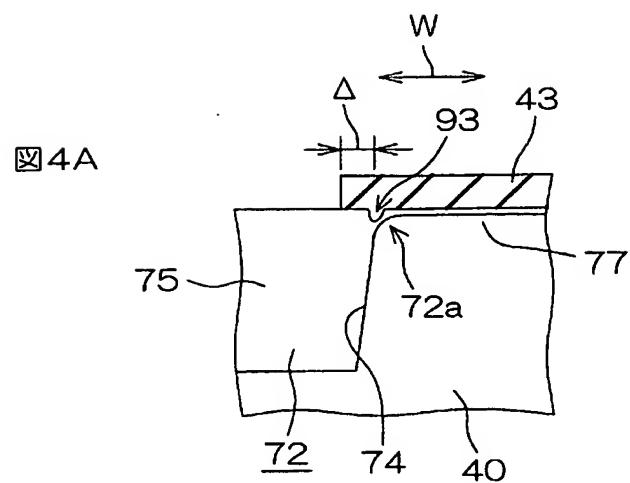
【図 2 N】



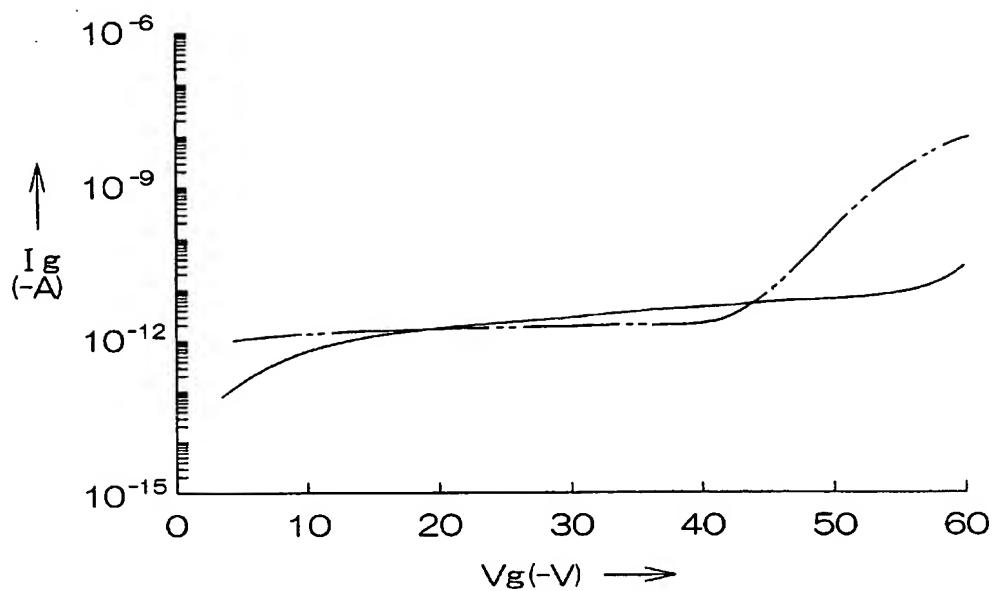
【図 3】



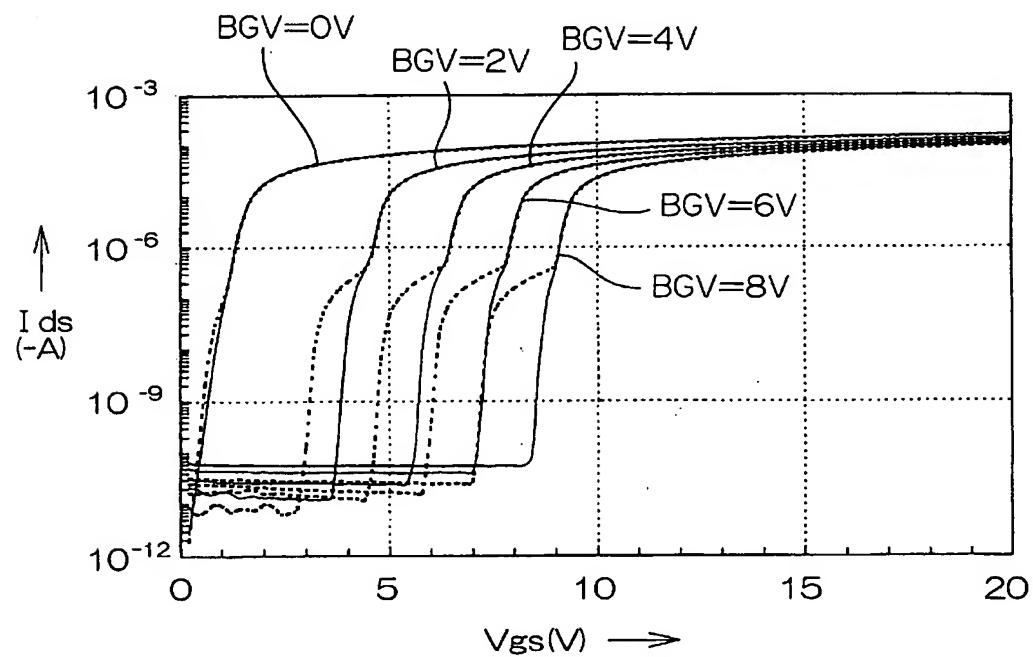
【図4】



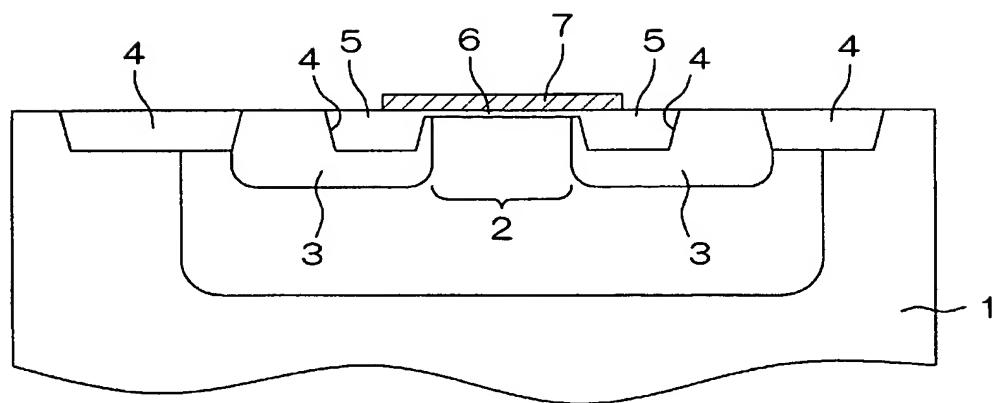
【図 5】



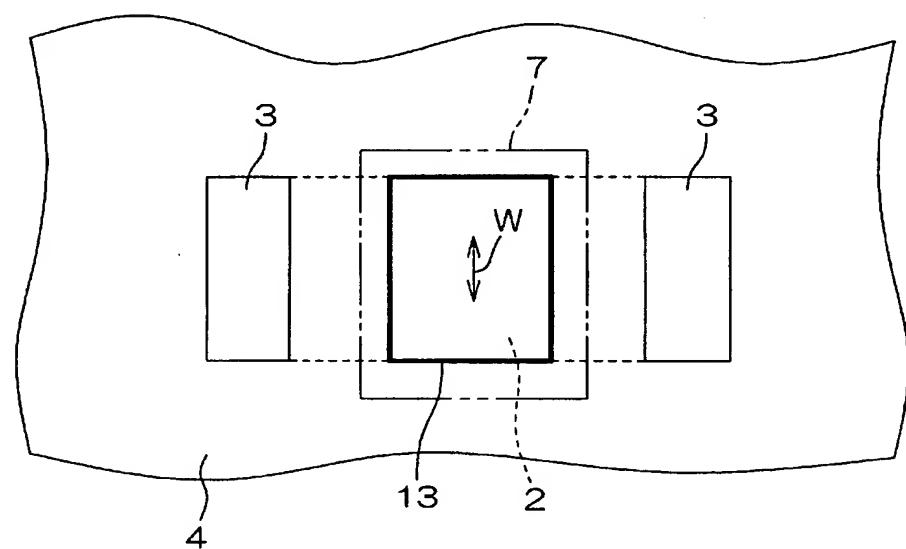
【図 6】



【図7】



【図8】



【書類名】要約書

【要約】

【課題】チャネル領域とトレンチとの境界部においてゲート酸化膜が薄膜化することを防止して、ゲート酸化膜耐圧を向上でき、半導体装置の特性を向上できる半導体装置の製造方法を提供する。

【解決手段】シリコン基板40のチャネル領域77に隣接してトレンチ74を形成し、このトレンチ74内に酸化膜75を埋め込む。さらに、チャネル領域77を被覆し、トレンチ74側に微小距離△だけはみ出すとともに、トレンチ74内の酸化膜75においてチャネル領域77との境界近傍の領域を露出させる窒化シリコン膜43を形成する。この窒化シリコン膜43マスクとした選択的熱酸化によって、トレンチ74からチャネル領域77側に延びるバーズピーク94を成長させる。その後、チャネル領域77にゲート酸化膜80を形成する。

【選択図】

図4

出願人履歴

000116024

19900822

新規登録

京都府京都市右京区西院溝崎町21番地
口一ム株式会社